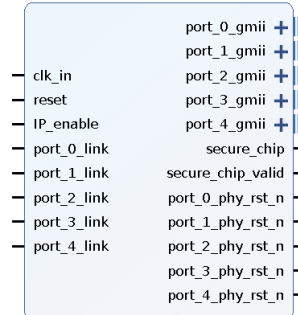


## 1G UES - 非网管以太网交换机 IP 核



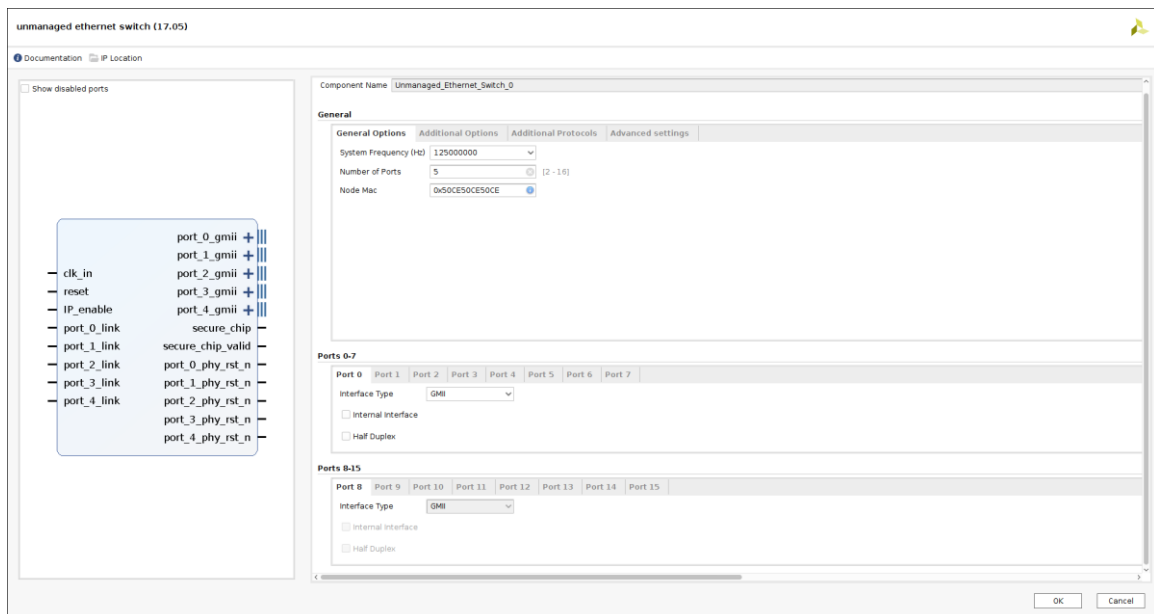
非网管以太网交换机 IP 内核（UES）可在可配置设备上实现了即插即用的以太网交换。它不需要外部配置。它旨在使用最少的资源解决最大的吞吐量。

该交换机实现了一个无阻塞交叉开关矩阵，该矩阵允许所有端口之间进行线速通信。交换机在转发每个帧之前先对其进行缓存和验证。然而，等待时间已被最小化到纳秒级。此外，UES 支持 IEEE 1588 V2 透明时钟功能。该功能可纠正引入交换机产生的错误的 PTP 帧，从而使 IEEE 1588 同步设备之间的互连保持最高的准确级。

UES 是实现基于以太网的工业网络的理想以太网交换机 IP。它为以太网 PHY 设备提供 MII/GMII/RGMII 本机接口，并且可以与 Xilinx IP 结合使用，以在其他接口中支持 RMII 或 SGMII。它还支持将 AXI4-Stream 接口连接到其他不具有 MAC 基接口的 IP 内核。

以下 Xilinx FPGA 系列可以支持 UES：

- 6 系列（Spartan, Virtex）
- 7 系列（Zynq, Spartan, Artix, Kintex, Virtex）
- Ultrascale（Kintex, Virtex）
- Ultrascale +（Zynq MPSoC, Kintex, Virtex）



用于 Xilinx Vivado 工具的非网管以太网交换机 IP 内核

通过利用新的 Xilinx Vivado 工具，可以将 UES 轻松集成到您的 FPGA 设计中，该工具允许在图形用户界面中使用 IP 内核并以简便的方式配置 IP 参数。

非网管以太网交换机 IP 核的主要功能：

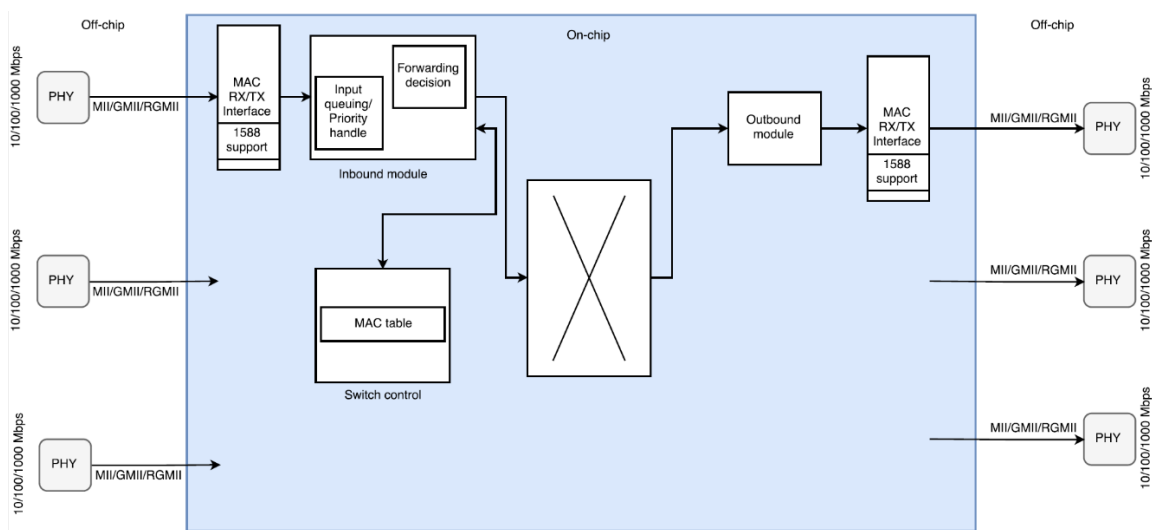
- 即插即用：无需配置
- 高性能：实现端口之间的全交叉矩阵以实现最大吞吐量
- 快速：由于 SoC-e 专有的 MAC 地址匹配机制，大大缩短了延迟时间
- 高效：经过优化，仅需很少的逻辑资源即可在低成本 FPGA 器件上实现
- 灵活：完全可扩展且可配置，以获得最佳的功能-尺寸平衡。以下参数设计员可用：

——端口数量：可配置的 3 至 16 个以太网端口

——缓冲区队列长度

——IEEE 透明时钟功能

- 自动：MAC 地址学习和老化（默认情况下，存储容量为 2048 个 MAC 地址）。



非网管以太网交换机 IP 核框图

通过利用新的 Xilinx Vivado 工具，可以将 UES 轻松集成到您的 FPGA 设计中，该工具允许在图形用户界面中使用 IP 内核并以简便的方式配置 IP 参数。

参考设计支持的板：

- SoC-e SMARTzynq brick（推荐）
- 对于其他 Xilinx/Avnet/SoC-e/板，我们可以提供限时 IP 内核进行评估

# 联系我们

广州虹科电子科技有限公司

Hongke Technology Co., Ltd

www.hkaco.com

广州市黄埔区科学大道 99 号科汇金谷三街 2 号 701 室 邮编 510663



## 工业通讯事业部

CAN 卡

通讯协议开发代码/网关/板卡 (CO,ECAT,DP,PN,DN,EIP,Modbus,CC,IO-Link 等)

TSN 时间敏感网络开发方案及应用方案

INtime 实时操作系统 (提升 windows 实时性)



## 华南区&华北区

谢晓锋

电话/微信: 13660244187

QQ: 2916592843

邮箱: xxf@hkaco.com



## 华东区

许卫兵

电话/微信: 15900933547

QQ: 2029912093

邮箱: xwb@hkaco.com



联系我们: [广州](#)|[上海](#)|[北京](#)|[西安](#)|[武汉](#)|[深圳](#)|[沈阳](#)|[成都](#)|[香港](#)